

PAT-NO: JP362012985A
DOCUMENT-IDENTIFIER: JP 62012985 A
TITLE: FIFO MEMORY CONTROL DEVICE
PUBN-DATE: January 21, 1987

INVENTOR-INFORMATION:

NAME **COUNTRY**
KAMIYAMA, YUJI

ASSIGNEE-INFORMATION:

NAME **COUNTRY**
MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP60150711

APPL-DATE: July 9, 1985

INT-CL (IPC): G11C007/00 , G06F009/34

ABSTRACT:

PURPOSE: To dynamically change the length of a word of an FiFo memory by providing a memory, a memory limit pointer, an FiFo memory writing pointer, an FiFo memory reading pointer, the first, the second, the third comparators, an FiFo memory managing part, and an FiFo memory size changing control circuit.

CONSTITUTION: A value of a stack pointer 10 is compared with an FiFo memory limit pointer 12 by a comparator 15. When the value coincides with a value of the FiFo memory limit pointer 12, a stack memory area full information is outputted to an arithmetic processing part 2. The idle information and the full information of the FiFo memory area are managed by an FiFo memory managing part 6, and by using its output, the idle information and the full information of the FiFo memory area generated in a fixed time are counted by an FiFo memory size change control circuit 16. The value of the FiFo memory limit pointer 12 is changed so as to reduce the number of times of generation for a fixed time. Thereby, the size of the FiFo memory area can be dynamically changed.

COPYRIGHT: (C)1987,JPO&Japio

⑱ 公開特許公報 (A) 昭62-12985

⑤Int.Cl.⁴
G 11 C 7/00
G 06 F 9/34識別記号 101
府内整理番号 6549-5B
7361-5B

⑩公開 昭和62年(1987)1月21日

審査請求 未請求 発明の数 1 (全5頁)

④発明の名称 FIFOメモリ制御装置

⑪特 願 昭60-150711

⑫出 願 昭60(1985)7月9日

⑬発明者 神山祐史 門真市大字門真1006番地 松下電器産業株式会社内

⑭出願人 松下電器産業株式会社 門真市大字門真1006番地

⑮代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

FIFOメモリ制御装置

2. 特許請求の範囲

メモリと、前記メモリへの入力データを順次読み出し演算する演算処理部と、前記メモリへのデータ入力を制御する入力制御回路と、前記メモリのうち入力データに対するFIFO(先入先出)メモリとして扱う最終アドレスを格納するFIFOメモリ限界ポインタと、FIFOメモリ領域へデータ入力される毎にインクリメントされ前記メモリへのデータ書き込みアドレスを格納するFIFOメモリ書き込みポインタと、前記演算処理部がFIFOメモリ領域の入力データを読み出す毎にインクリメントされ前記メモリへのデータ読み出しアドレスを格納するFIFOメモリ読み出しポインタと、前記FIFOメモリ書き込みポインタの値と前記FIFOメモリ限界ポインタの値を比較し、順次インクリメントされる前記FIFOメモリ書き込みポインタの値が前記FIFOメモリ限界ポインタの値以上の場合、前記

FIFOメモリ書き込みポインタをリセットする第1の比較器と、前記FIFOメモリ読み出しポインタの値と前記FIFOメモリ限界ポインタの値を比較し、順次インクリメントされる前記FIFOメモリ読み出しポインタの値が前記FIFOメモリ限界ポインタの値以上の場合、前記FIFOメモリ読み出しポインタをリセットする第2の比較器と、前記メモリのうち前記FIFOメモリ限界ポインタが示すアドレス以降をスタックメモリ領域として扱い、前記演算処理部がスタックメモリ領域を前記メモリ最終アドレスから順次デクリメントしてアクセスするアドレスを格納するスタックポインタと、前記スタッキックポインタの値と前記FIFOメモリ限界ポインタの値を比較し、前記スタッキックポインタの値が前記FIFOメモリ限界ポインタの値と一致した時、前記演算処理部にスタックメモリ領域の満杯情報を出力する第3の比較器と、前記FIFOメモリ書き込みポインタの値と前記FIFOメモリ読み出しポインタの値を入力して前記メモリのFIFOメモリ領域の空情報、満杯情報を管理するFIFOメモリ管

理部と、前記 FIFO メモリ管理部の空情報、満杯情報とシステムクロックを入力し一定時間に発生する FIFO メモリ領域の空情報、満杯情報を計数し前記 FIFO メモリ限界ポインタの値を変更する FIFO メモリサイズ変更制御回路とを具備することを特徴とする FIFO メモリ制御装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は演算処理装置入力バッファ部の FIFO メモリ制御装置に関するものである。

従来の技術

従来の演算処理装置の入力バッファ部には FIFO メモリを用いたものが多く、その例として次の文献を挙げることができる。「製品発表が相次ぐ 32 ピットマイクロプロセッサ」、日経エレクトロニクス 1984 年 4 月 30 日号 PP61-69。

第 2 図は従来の演算処理装置入力バッファ部の FIFO メモリ制御装置の構成図である。1 は入力データをバッファリングする FIFO メモリ、2 は演算処理部、3 は FIFO メモリへのデータ入力を

込みポインタ 4 は入力制御回路 3 により FIFO メモリ 1 にデータ入力される毎にインクリメントされ、FIFO メモリ読出しポインタ 5 は演算処理部 2 により FIFO メモリ 1 からデータ出力される毎にインクリメントされることにより FIFO メモリ 1 が先入先出機能をもつメモリとして構成される。FIFO メモリ管理部 6 は FIFO メモリ書き込みポインタ 4 と FIFO メモリ読出しポインタ 5 の一致状況を検出することにより FIFO メモリ 1 の空情報と満杯情報を管理する。

発明が解決しようとする問題点

しかしながらこのような構成では、FIFO メモリ 1 への入力データの供給と演算処理部 2 による入力データの消費が待ち動作なく行われるために FIFO メモリ 1 の語長をうまく設定する必要がある。FIFO メモリ 1 の語長が小さすぎると演算処理部 2 による入力データの消費が高速で行われるときには入力データが FIFO メモリ 1 からなくなり演算処理部 2 の入力データ待ち動作が多発する。また FIFO メモリ 1 の語長が大きすぎるとデ

制御する入力制御回路、4 は FIFO メモリ 1 への入力データの書き込みアドレスを格納する FIFO メモリ書き込みポインタ、5 は演算処理部 2 による FIFO メモリ 1 内のデータの読み出しアドレスを格納する FIFO メモリ 読出しポインタ、6 は FIFO メモリ 1 の空情報と満杯情報を管理する FIFO メモリ管理部で、7 の FIFO メモリ空フラグと 8 の FIFO メモリ満杯フラグで構成される。9 は演算処理部 2 の演算処理動作で用いられるスタック領域を構成するスタックメモリ、10 は演算処理部 2 がスタックメモリ 9 をアクセスする場合のアドレスを格納するスタックポインタである。

以上の構成において、入力制御回路 3 は演算処理部 2 の実行動作とは無関係に FIFO メモリ 1 へのデータ入力をを行う。そのデータ入力動作を停止するのは FIFO メモリ満杯フラグ 8 がオンの状態となって FIFO メモリが満杯である場合だけである。一方、演算処理部 2 は FIFO メモリ空フラグがオフの状態である限り入力端子からのデータ入力とは無関係に演算実行を行う。FIFO メモリ書

入力のためのバス転送が繁発し、データ出力や演算処理によるバス転送が阻害されることが発生する。即ち、FIFO メモリ 1 の語長設定の良否が装置全体の処理効率に大きく影響するにもかかわらず、一度設定した FIFO メモリ 1 の語長を変更することができないという問題点を有していた。

本発明は前記問題点に鑑み、装置全体の処理効率が最高となるよう FIFO メモリの語長を動的に変更することができる FIFO メモリ制御装置を提供することを目的とする。

問題点を解決するための手段

本発明はメモリと、メモリのうち入力データに対する FIFO メモリ領域とする最終アドレスを格納する FIFO メモリ限界ポインタと、メモリへの入力データ書き込みアドレスを格納する FIFO メモリ書き込みポインタと、メモリからのデータ読み出しアドレスを格納する FIFO メモリ 読出しポインタと、FIFO メモリ書き込みポインタの値と FIFO メモリ限界ポインタの値とを比較する第 1 の比較器と、FIFO メモリ 読出しポインタの値と FIFO

メモリ限界ポインタの値とを比較する第2の比較器と、メモリのうち演算処理に用いるスタッキメモリ領域へのアクセスアドレスを格納するスタッキポインタと、スタッキポインタの値とFIFOメモリ限界ポインタの値とを比較する第3の比較器と、メモリのうちFIFOメモリ領域を管理する FIFOメモリ管理部と、FIFOメモリ管理部出力とシステムクロックとを入力してFIFOメモリ限界ポインタの値を変更するFIFOメモリサイズ変更制御回路とを具備するFIFOメモリ制御装置である。

作用

本発明はこのような構成により、FIFOメモリ管理部の出力するFIFOメモリの空情報と満杯情報をFIFOメモリサイズ変更制御回路が計数する。そして、一定時間内に発生するFIFOメモリの過不足状態数によりFIFOメモリ限界ポインタを変更してFIFOメモリサイズを変更する。これにより、FIFOメモリ語長を動的に変更することができ対象とする処理データに最適な処理系を構成す

ることができる。また、不要となったFIFOメモリ領域をスタッキメモリ領域として扱うことによりメモリの有効利用を図ることができる。

実施例

第1図は本発明の一実施例におけるFIFOメモリ制御装置の構成図である。第1図において、2は演算処理部、3は入力制御回路、4はFIFOメモリ書き込みポインタ、5はFIFOメモリ読み出しポインタ、6はFIFOメモリ管理部、7はFIFOメモリ空フラグ、8はFIFOメモリ満杯フラグ、10はスタッキポインタで、以上は第2図の構成と同じものである。11はメモリ、12はメモリ11のうち入力データに対するFIFOメモリ領域とする最終アドレスを格納するFIFOメモリ限界ポインタ、13はFIFOメモリ書き込みポインタ4とFIFOメモリ限界ポインタ12の値を比較しFIFOメモリ書き込みポインタ4の値がFIFOメモリ限界ポインタ12の値以上になるとリセットする第1の比較器、14はFIFOメモリ読み出しポインタ5の値とFIFOメモリ限界ポインタ12の値

を比較しFIFOメモリ読み出しポインタ5の値がFIFOメモリ限界ポインタ12の値以上になるとリセットする第2の比較器、15はスタッキポインタ10の値とFIFOメモリ限界ポインタ12の値を比較しスタッキポインタ10の値がFIFOメモリ限界ポインタ12の値と一致した時、演算処理部2がスタッキ領域の満杯情報を出力する第3の比較器、16はFIFOメモリの空フラグ7の出力と満杯フラグ8の出力とシステムクロックを入力し、一定時間に発生するFIFOメモリ領域の空情報を満杯情報を計数し、FIFOメモリ限界ポインタ12を変更するFIFOメモリサイズ変更制御回路である。

本実施例の動作を以下に説明する。入力制御回路3はFIFOメモリ満杯フラグ8がオフである限り、メモリ11のFIFOメモリ領域に空領域があるとして入力データを読み込み、FIFOメモリ書き込みポインタ4をインクリメントする。順次インクリメントされるFIFOメモリ書き込みポインタ4の値は比較器13でFIFOメモリ限界ポインタ12

と比較され、FIFOメモリ限界ポインタ12の値以上になるとリセットされる。従って、FIFOメモリ書き込みポインタ4は○番地からFIFOメモリ限界ポインタ12の値までのアドレスを繰返す。また、演算処理部2はFIFOメモリ空フラグ7がオフである限り、メモリ11のFIFOメモリ領域に有効な入力データがあるとしてデータを読み出し、FIFOメモリ読み出しポインタ5をインクリメントする。順次インクリメントされるFIFOメモリ読み出しポインタ5の値は比較器14でFIFOメモリ限界ポインタ12と比較され、FIFOメモリ限界ポインタ12の値以上になるとリセットされる。従って、FIFOメモリ読み出しポインタ5はFIFOメモリ書き込みポインタ4と同様に、○番地からFIFOメモリ限界ポインタ12の値までのアドレスを繰返す。一方、メモリ11のFIFOメモリ限界ポインタ12の値以降の領域はスタッキメモリ領域としてスタッキポインタ10を用いて演算処理部2の演算実行時に使用される。スタッキポインタ10の値は比較器15でFIFOメモリ限界ポ

インタ12と比較され、FIFOメモリ限界ポインタ12の値に一致すると演算処理部2にスタックメモリ領域満杯情報を出力する。FIFOメモリ領域の空情報と満杯情報は、FIFOメモリ管理部6で管理され、その出力を用いてFIFOメモリサイズ変更制御回路16で一定時間に発生するFIFOメモリ領域の空情報と満杯情報を計数する。計数結果において、空情報発生回数が予め設定した値より大きい場合にはFIFOメモリ限界ポインタ12の値を減少させ、満杯情報発生回数が予め設定した値より大きい場合にはFIFOメモリ限界ポインタ12の値を増大させるようにFIFOメモリサイズ変更制御回路16が制御する。但し、FIFOメモリサイズ変更制御回路16にはスタックポインタ10の値も入力され、変更によりFIFOメモリ限界ポインタ12の値がスタックポインタ10の値より大きくなる場合には、スタックポインタ10の値が大きくなり、変更しようとするFIFOメモリ限界ポインタ12の値以上になるのを待って変更する。これによりスタックメモリ領域のデ

ータが破壊されるのを防ぐことができる。

以上のように、本実施例によればFIFOメモリ管理部6のFIFOメモリ領域の空情報発生回数と満杯情報発生回数をFIFOメモリサイズ変更制御回路16で計数し、一定時間に対する発生回数を減少させるようFIFOメモリ限界ポインタ12の値を変更することにより、FIFOメモリ領域のサイズを動的に変更することができる。

発明の効果

以上説明したように、本発明によればFIFOメモリ領域のサイズを動的に変更することができ、対象とする処理データに最適なFIFOメモリサイズを設定することができる。さらに、不要なFIFOメモリ領域をスタックメモリ領域として使用でき、メモリの有効利用を図れる。特に、FIFOメモリサイズの動的な変更ができる効果については、LSI回路等、一度作成した回路の変更が不可能あるいは非常に困難な場合に有効であり、システムのLSI化が進む今後、本発明の実用的効果は大きい。

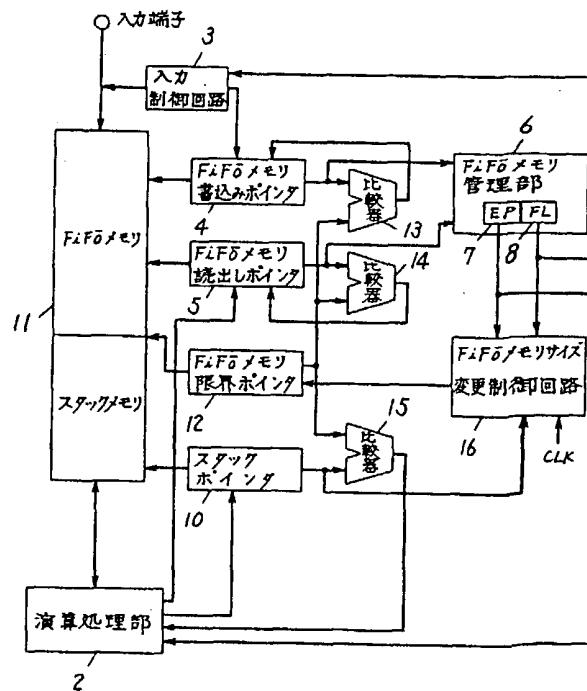
4. 図面の簡単な説明

第1図は本発明の一実施例におけるFIFOメモリ制御装置の構成図、第2図は従来のFIFOメモリ制御装置の構成図である。

2……演算処理部、3……入力制御回路、4……FIFOメモリ書き込みポインタ、5……FIFOメモリ読み出しポインタ、6……FIFOメモリ管理部、10……スタックポインタ、11……メモリ、12……FIFOメモリ限界ポインタ、13……第1の比較器、14……第2の比較器、15……第3の比較器、16……FIFOメモリサイズ変更制御回路。

代理人の氏名 幸利士 中尾敏男 ほか1名

第1図



第 2 図

